

Inoue Michihiko
Inventors : Takemoto Toyoki

DERWENT-ACC-NO: 1978-20160A
DERWENT-WEEK: 197811
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Linear MOS transistor in MOS semiconductor
IC - has a gate insulating
film of at least one oxide of hafnium, aluminium,
tantalum or niobium

PATENT-ASSIGNEE: MATSUSHITA ELEC IND CO LTD[MATU]

PRIORITY-DATA: 1976JP-0084851 (July 15, 1976)

PATENT-FAMILY:

PUB-NO	PUB-DATE	
LANGUAGE	PAGES	MAIN-IPC
JP 53010283 A	January 30, 1978	N/A
000	N/A	

INT-CL (IPC): H01L027/04; H01L029/78

ABSTRACTED-PUB-NO: JP53010283A

BASIC-ABSTRACT: The MOS transistor in an MOS
semiconductor IC circuit is
provided with a gate insulating film using at ≥ 1
of HfO_2 , Al_2O_3 , Ta_2O_5 , and

HfO_2 , Ta_2O_5 , Al_2O_3 and Nb_2O_5 have high dielectric
constant (11.7, 27, 9.0 and
32.5 respectively), and the thickness of a gate
insulator may be increased.
The dielectric material is stable in composition,
has less strains, and
contains almost no alkaline ions. A short channel
MOS device with improved
noise factor is obtained.

TITLE-TERMS:

LINEAR MOS TRANSISTOR MOS SEMICONDUCTOR IC GATE
INSULATE FILM ONE OXIDE HAFNIUM
ALUMINIUM TANTALUM NIOBIUM

DERWENT-CLASS: L03 U12 U13

CPI-CODES: L03-D03D;

⑩日本国特許庁

⑪特許出願公開

公開特許公報

昭53-10283

⑥Int. Cl. ²	識別記号	⑦日本分類	庁内整理番号	④公開	昭和53年(1978)1月30日
H 01 L 29/78		99(5) E 3	6603-57		
H 01 L 27/04		99(5) C 23	7377-57	発明の数	1
H 01 L 29/62		99(5) H 0	6513-57	審査請求	未請求

(全 4 頁)

⑤MOS型半導体集積回路

⑫発明者 井上道弘

門真市大字門真1006番地 松下
電器産業株式会社内

①特 願 昭51-84851

①出 願 人 松下電器産業株式会社

②出 願 昭51(1976)7月15日

門真市大字門真1006番地

⑬発明者 竹本豊樹

⑭代 理 人 弁理士 中尾敏男 外1名

門真市大字門真1006番地 松下
電器産業株式会社内

明 細 書

1. 発明の名称

MOS型半導体集積回路

2. 特許請求の範囲

リニアMOSトランジスタのゲート絶縁膜として酸化ハフニウム、酸化アルミニウム、酸化タン

とを特徴とするMOS型半導体集積回路。

3. 発明の詳細な説明

本発明はMOS型半導体集積回路に關し、リニア集積回路ICに適したMOSICを稱することを目的とする。

すなわち、本発明はリニアMOSICに適すると思われるいわゆるショートチャンネルMOSトランジスタの噪音性能の向上を目的とした構造を提供するものである。

近年、MOS集積回路の高密度化、高精度化が進みその中で、チャンネル長を短かくしてショートチャンネル化し、動作速度の向上、ファンアウトの向上などを合わせ達成するための検討が広く行な

われている。一方、MOS・ICのリニア(アナログ)ICへの適用ということで、オペアンプなど単純な回路から広範な回路に用へとの展開がなされており、その用途の1つはオーディオ分野である。オーディオ用としてのMOSICは、J-E-T(ジャンクションドレフト)と比較しても数

指数が大きいと思われる。

ところで、MOSトランジスタの噪音に關しては、種々の理論的検討がなされているが、最もよく知られた理論式としては、S. Christensson "Low Frequency Noise in MOS transistor" Solid State Electronics Vol.11, 1968 が出しているように

$$V_{gn}^2 = \frac{q^2}{C_{ox}^2 \cdot W \cdot L} \cdot N_T \cdot \frac{\pi}{24\omega} \quad (1)$$

V_{gn} : 入力換算噪音電圧

C_{ox} : ゲート酸化膜容量

W, L : チャンネル長及び巾

N_T : トラップ密度

の C-V 特性に影響する要因は絶縁膜組成の安定化、酸、膜内における Na, K 等の十電列等であり、これらの条件が充分満したものであることが必要である。

つきに、本発明の実施例にかかるゲート絶縁膜の性質を説明する。N形は、3 μm のシリコン基板上にこの基板上に反応性スパッタリング法を用いて膜厚 1,000Å の HfO_2 膜を生成した。

この調製によれば膜厚も $1,000\text{\AA}$ となった結果その
 耐比も $8 \times 10^6 \text{ V/m}$ 以上となり、著るしい耐比同
 上を併ることかできた。さらにこの HfO_2 膜の電気
 的特性 (Si-HfO_2 系の $C-V$ 特性) を第2図に示
 す。第2図は Si 基基板の電圧 V_g と規格化した容量
 の変化の割合を示したもので、 C_V で容量変化が起
 りはほぼ理想に近い $C-V$ 特性を得ることができ、
 MOS トランジスタとして好ましい特性である。
 この HfO_2 膜を用いた MOS トランジスタは雑音性
 能については第1図の MOS II とほぼ同様の性能
 を示し、耐比が向上し、リニア (アナログ) 用途
 に好適である。

のである。

なお、本誌明記にかかる高誘電体ゲート肥膜膜、スハッタリング、CVD法、電子ビーム蒸着法、窒素の陽極酸化法、プラズマ分解法等により生産可能で、加工についてはリフトオフ法、ドライエッチング法などを併用することができる。

ことによりさらに耐圧の改善をすることが出来る。
 たとえば SiO_2 膜 200 \AA 、本発明にかかる耐熱膜
 500 \AA 程度積層する。このように積層すれば、
 ビンホールを減少させることができ、さらに耐圧
 を向上させることができる。このビンホールが強
 まるのは、異なった大きさの原子又は分子状態の
 場合、そのビンホールを作る場所、密度が異なり、
 同じ酸化物であっても SiO_2 中のビンホールが出
 来る場所とセロ上の無機酸酸化物膜のビンホール場
 所とが一致していないためである。

以上、述べて来たように、本発明は、ショート
チャネル MOS トランジスタにおける低雑音化に
ついて、従来の素子が著るしく問題となり、生

第3図は HfO_2 に代えて Ta_2O_5 を用いたときの C-V 特性を示し、無誘電の場合と向しく N 形 10 μm シリコン基板に 1140 \AA の厚さの Ta_2O_5 膜を生成したものである。第3図の破線は空飽和の要求した Ta_2O_5 膜における理想特性を示し、実験は実験に測定した C-V 特性である。この第3図から明らかなとおり、 Ta_2O_5 においても理想に近い電気的特性を得ることができ、前比も HfO_2 とほぼ同程度の性能を得ることができた。

なお、 Al_2O_3 、 Nb_2O_5 についても防錆率が大きく、容易に生成可能で映画組成も比較的安定でゲート絶縁膜として十分適用可能であることがわかった。

このようにして、実験の結果上述した本発明にかかる絶縁膜の電気的特性がすぐれているのは、推測するに組成が安定で、塩が少なく、吸湿性がなく、 NaCl 等の異物を含むことが少ないためであると思われるが、とにかく本発明にかかるゲート絶縁膜はショートチャネルでとくにリニア I-V 特性トランジスタに適用して好ましい性能を有するもの

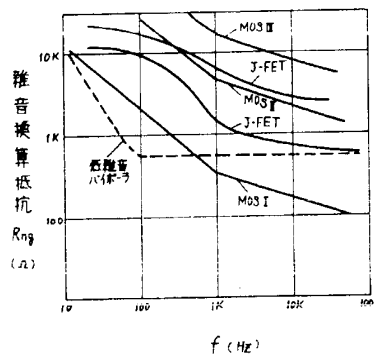
産性、信頼性が低かったものに対し、高齢化を
 意識することができ、MS型LCの応用分野の拡
 大に大きく寄与するものである。

4. 図面の簡単な説明

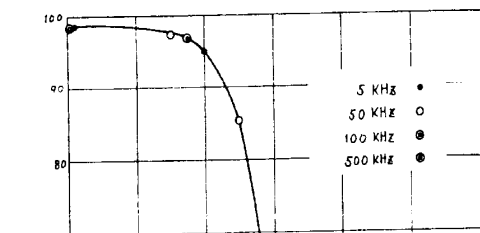
図1図は各粒子(MOS, J-FET, パイプ
ーラ素子)の雑音換算抵抗値の比較図。図2図は

代理人の氏名 井雄士 中 尾 敏 男 はか1名

第 1 図



第 2 図



第 3 図

